

日 本 国 特 許 庁

JAPAN PATENT OFFICE

5/ Priority  
No.  
E-17-02

JPO872 U.S. PRO  
10/052255



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月30日

出 願 番 号

Application Number:

特願2001-021931

出 願 人

Applicant(s):

セイコーエプソン株式会社

ヘイロー エルエスアイ デザイン

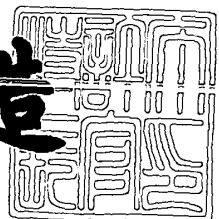
ノロジー インコーポレイテッド

アンド デバイステク

2001年10月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082299

【書類名】 特許願

【整理番号】 EP-0275401

【提出日】 平成13年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 蝦名 昭彦

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 丸尾 豊

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置を含む半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項1】 不揮発性半導体記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有する半導体集積回路装置の製造方法であって、以下の工程（a）ないし（k）を含む、半導体集積回路装置の製造方法。

（a）半導体層の表面に素子分離領域を形成する工程、

（b）前記半導体層上に、第1ゲート絶縁層、および該第1ゲート絶縁層上に配置されるワードゲートのための第1導電層を有する積層体を形成する工程であって、該積層体は、第1方向に延びる複数の開口部を有し、

（c）前記半導体層上であって、前記第1ゲート絶縁層の両サイドに隣接するように第2ゲート絶縁層を形成する工程、

（d）前記ワードゲートのための第1導電層の両サイドにサイド絶縁層を形成する工程、

（e）上記工程（a）～（d）で形成された構造体を覆うように、該構造体の表面に第2導電層を全面的に形成する工程、

（f）前記第2導電層上であって、少なくとも共通コンタクト部が形成される領域に第1マスク層を形成する工程、

（g）コントロールゲートと共通コンタクト部とを形成する工程であって、異方性エッチングによって前記第2導電層を全面的にエッチングすることにより、前記サイド絶縁層の両サイドに、前記第1方向に連続するサイドウォール状の第1および第2コントロールゲートを形成し、かつ、少なくとも共通コンタクト部が形成される領域にコンタクト用導電層を形成し、

ひとつの前記コンタクト用導電層は、前記第1方向と交差する第2方向に対して隣り合う1組の第1および第2コントロールゲートと連続して形成され、

（h）前記第1および第2コントロールゲート間に位置する前記半導体層に不純物をドーピングし、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、

(i) 前記第1および第2コントロールゲートを覆う絶縁層を形成する工程、  
(j) 前記共通コンタクト部が形成される領域に第2マスク層を形成する工程、  
および

(k) 前記ワードゲートのための第1導電層をパターニングする工程。

【請求項2】 請求項1において、

前記コントロールゲートのための第2導電層は、ドーフトポリシリコン層から構成される、半導体集積回路装置の製造方法。

【請求項3】 請求項1または2において、

前記第2ゲート絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層を順次成膜して形成される、半導体集積回路装置の製造方法。

【請求項4】 請求項3において、

前記サイド絶縁層は、前記第1酸化シリコン層、前記窒化シリコン層、および前記第2酸化シリコン層の成膜と同じ工程で形成される、半導体集積回路装置の製造方法。

【請求項5】 請求項3において、

前記共通コンタクト部は、前記半導体層上に形成された絶縁層を有し、該絶縁層は、前記第1酸化シリコン層、前記窒化シリコン層、および前記第2酸化シリコン層の成膜と同じ工程で形成される、半導体集積回路装置の製造方法。

【請求項6】 請求項1ないし5のいずれかにおいて、

前記工程(b)において、前記ワードゲートのための第1導電層上にさらに化学的機械的研磨のためのストッパ層を形成する工程を含み、

前記工程(i)において、前記第1および第2コントロールゲートを覆う絶縁層は、前記工程(a)～(h)で形成された構造体上に全面的に絶縁層を形成した後、化学的機械的研磨によって前記ストッパ層が露出するまで該絶縁層を除去して形成される、半導体集積回路装置の製造方法。

【請求項7】 請求項6において、

前記ストッパ層は、その上面が前記コントロールゲートの上端より高い位置にあるように形成される、半導体集積回路装置の製造方法。

【請求項8】 請求項7において、

前記サイド絶縁層は、その上端が前記ストッパ層の上面と同じ位置にあるように形成される、半導体集積回路装置の製造方法。

【請求項 9】 請求項 1 ないし 8 のいずれかにおいて、

前記共通コンタクト部は、前記不純物拡散層の端部に隣接して設けられる、半導体集積回路装置の製造方法。

【請求項 10】 請求項 9 において、

前記共通コンタクト部は、複数配列された前記不純物拡散層に対して、該不純物拡散層の一方の側の端部と他方の側の端部とにおいて交互に設けられる、半導体集積回路装置の製造方法。

【請求項 11】 請求項 1 ないし 10 のいずれかにおいて、

前記メモリセルアレイは複数のブロックに分割されて形成される、半導体集積回路装置の製造方法。

【請求項 12】 請求項 11 において、

前記工程 (a) の後に、前記半導体層にコンタクト用不純物拡散層が形成され、隣り合うブロックの前記不純物拡散層は該コンタクト用不純物拡散層を介して接続される、半導体集積回路装置の製造方法。

【請求項 13】 請求項 1 ないし 12 のいずれかにおいて、

前記工程 (f) において、前記第 1 マスク層は、前記共通コンタクト部が形成される領域に対応して形成される、半導体集積回路装置の製造方法。

【請求項 14】 請求項 1 ないし 12 のいずれかにおいて、

前記工程 (f) において、前記第 1 マスク層は、前記第 2 方向に並ぶ、複数の前記共通コンタクト部が形成される領域をカバーするように連続して形成される、半導体集積回路装置の製造方法。

【請求項 15】 請求項 14 において、

前記工程 (g) において、前記第 1 マスク層によって、複数の前記共通コンタクト部が形成される領域を含むように連続する導電層が形成され、

前記工程 (k) において、該導電層を前記第 1 導電層とともにパターンニングして、前記ワードゲートとともに前記コンタクト用導電層が形成される、半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、特に1つのワードゲートに対して2つの電荷蓄積領域を有する不揮発性半導体記憶装置がアレイ状に配置された半導体集積回路装置の製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】

不揮発性半導体記憶装置のひとつのタイプとして、チャネルとゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層体からなり、前記窒化シリコン層に電荷がトラップされるMONOS (Metal Oxide Nitride Oxide Substrate) 型がある。

【0003】

MONOS型の不揮発性半導体記憶装置として、図16に示すデバイスが知られている (文献: Y. Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p. 122-p. 123)。

【0004】

このMONOS型のメモリセル100は、半導体基板10上に第1ゲート絶縁層12を介してワードゲート14が形成されている。そして、ワードゲート14の両サイドには、それぞれサイドウォール状の第1コントロールゲート20および第2コントロールゲート30が配置されている。第1コントロールゲート20の底部と半導体基板10との間には、第2ゲート絶縁層22が存在し、第1コントロールゲート20の側面とワードゲート14の間にはサイド絶縁層24が存在する。同様に、第2コントロールゲート30の底部と半導体基板10の間には、第2ゲート絶縁層32が存在し、第2コントロールゲート30の側面とワードゲート14の間にはサイド絶縁層34が存在する。そして、隣り合うメモリセルの、対向するコントロールゲート20とコントロールゲート30との間の半導体基板10には、ソース領域またはドレイン領域を構成する不純物拡散層16, 18が形成されている。

## 【0005】

このように、ひとつのメモリセル100は、ワードゲート14の側面に2つのMONOS型メモリ素子を有する。そして、これらの2つのMONOS型メモリ素子は独立に制御でき、したがって、メモリセル100は、2ビットの情報を記憶することができる。

## 【0006】

このMONOS型のメモリセルの動作は、以下のようにして行われる。メモリセル100の一方のコントロールゲートは、他方のコントロールゲートをオーバーライド電圧にバイアスすることで、書き込みおよび読み出しをそれぞれ独立に選択することができる。

## 【0007】

書き込み（プログラム）については、図16に示すCG[i+1]の左側の第2ゲート絶縁層（ONO膜）32に電子を注入する場合を用いて説明する。この場合、ビット線（不純物拡散層）18（D[i+1]）は、4～5Vのドレイン電圧にバイアスされている。コントロールゲート30（CG[i+1]）は、ホットエレクトロンをコントロールゲート30（CG[i+1]）の左側の第2ゲート絶縁層32に注入させるために、5～7Vにバイアスされる。ワードゲート14（Gw[i]およびGw[i+1]）に接続されるワード線は、書き込み電流を所定値（ $\sim 10\mu\text{A}$ ）に限定するために、ワードゲートのしきい値より少し高い電圧にバイアスされる。コントロールゲート20（CG[i]）は、オーバーライド電圧にバイアスされる。このオーバーライド電圧によって、記憶状態に関係なく、コントロールゲート20（CG[i]）の下のチャネルを導通させることができる。左側のビット線16（D[i]）は、グランド電圧にバイアスされる。そして、他の選択されないメモリセルのコントロールゲートおよび拡散層は、グランド電圧に設定される。

## 【0008】

消去では、蓄積された電荷（電子）は、ホットホールの注入によってうち消される。ホットホールは、ビット拡散層18の表面でB-Bトンネリングによって発生させることができる。このとき、コントロールゲートの電圧 $V_{cg}$ は負電圧



(-5~-6V)に、ビット拡散層の電圧は5~6Vにバイアスされる。

【0009】

この文献では、上述したMONOS型のメモリセルによれば、ひとつのメモリセル内に独立に制御可能な2つのプログラミングサイトを有し、 $3F^2$ のビット密度(bit density)を達成できることが記載されている。

【0010】

本発明の目的は、2つのコントロールゲートを有するMONOS型の不揮発性半導体記憶装置を含む半導体集積回路装置の製造方法であって、特にサイドウォール状コントロールゲートのコンタクト構造の形成に特徴を有する製造方法を提供することにある。

【0011】

【課題を解決するための手段】

本発明にかかる半導体集積回路装置の製造方法は、不揮発性半導体記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有する半導体集積回路装置の製造方法であって、以下の工程(a)ないし(k)を含む。

【0012】

- (a) 半導体層の表面に素子分離領域を形成する工程、
- (b) 前記半導体層上に、第1ゲート絶縁層、および該第1ゲート絶縁層上に配置されるワードゲートのための第1導電層を有する積層体を形成する工程であって、該積層体は、第1方向に延びる複数の開口部を有し、
- (c) 前記半導体層上であって、前記第1ゲート絶縁層の両サイドに隣接するように第2ゲート絶縁層を形成する工程、
- (d) 前記ワードゲートのための第1導電層の両サイドにサイド絶縁層を形成する工程、
- (e) 上記工程(a)~(d)で形成された構造体を覆うように、該構造体の表面に第2導電層を全面的に形成する工程、
- (f) 前記第2導電層上であって、少なくとも共通コンタクト部が形成される領域に第1マスク層を形成する工程、
- (g) コントロールゲートと共通コンタクト部とを形成する工程であって、

異方性エッチングによって前記第 2 導電層を全面的にエッチングすることにより、前記サイド絶縁層の両サイドに、前記第 1 方向に連続するサイドウォール状の第 1 および第 2 コントロールゲートを形成し、かつ、少なくとも共通コンタクト部が形成される領域にコンタクト用導電層を形成し、

ひとつの前記コンタクト用導電層は、前記第 1 方向と交差する第 2 方向に対して隣り合う 1 組の第 1 および第 2 コントロールゲートと連続して形成され、

(h) 前記第 1 および第 2 コントロールゲート間に位置する前記半導体層に不純物をドーピングし、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、

(i) 前記第 1 および第 2 コントロールゲートを覆う絶縁層を形成する工程、

(j) 前記共通コンタクト部が形成される領域に第 2 マスク層を形成する工程、および

(k) 前記ワードゲートのための第 1 導電層をパターニングする工程。

#### 【 0 0 1 3 】

この半導体集積回路装置の製造方法によれば、特に工程数を増加させることなく、前記サイドウォール状のコントロールゲートとともに前記共通コンタクト部を形成することができる。そして、前記共通コンタクト部は、パターニング時の前記第 1 および第 2 マスク層でそのサイズや形状を規定でき、十分なコンタクト面積を確保できる。したがって、前記共通コンタクト部を介して幅の小さいコントロールゲートの電氣的接続を確実にとることができる。

#### 【 0 0 1 4 】

この製造方法によれば、不揮発性半導体記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを有する半導体集積回路装置であって、以下の構造を有するものを得ることができる。

#### 【 0 0 1 5 】

この不揮発性半導体記憶装置は、

半導体層上に第 1 ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層と、

前記ワードゲートの一方の側面および他方の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、

前記第1コントロールゲートは、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置され、

前記第2コントロールゲートは、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置され、

前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、

前記第1方向と交差する第2方向に対して隣り合う1組の第1および第2コントロールゲートは、共通コンタクト部に接続されている。

【0016】

本発明の製造方法は、以下の態様を取りうる。

【0017】

(A) コントロールゲートおよび共通コンタクト部を構成するための前記第2導電層は、ドーフトポリシリコン層から構成されることができる。

【0018】

(B) 前記第2ゲート絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層を順次成膜して形成されることができる。そして、この工程と同一工程で、前記サイド絶縁層および前記共通コンタクト部の絶縁層を形成できる。

【0019】

(C) 前記工程(b)において、前記ワードゲートのための第1導電層上にさらに化学的機械的研磨(CMP: Chemical Mechanical Polishing)のためのストッパ層を形成する工程を含み、前記工程(i)において、前記第1および第2コントロールゲートを覆う絶縁層は、前記工程(a)～(h)で形成された構造体上に全面的に絶縁層を形成した後、化学的機械的研磨によって前記ストッパ層が露出するまで該絶縁層を除去して形成することができる。以下、このようにして形成された絶縁層を「埋込み絶縁層」という。

【0020】

(D) 前記ストッパ層は、その上面が前記コントロールゲートの上端より高い位置にあるように形成できる。さらに、この場合、前記サイド絶縁層は、その上端が前記ストッパ層の上面と同じ位置にあるように形成できる。その結果、前記サイド絶縁層の上端は、前記半導体層に対して前記コントロールゲートより高い位置にある。この構成により、前記コントロールゲートと、該コントロールゲート上に埋込み絶縁層を介して形成されるワードゲートの配線層とのショート、および電流のリークを防ぐことができる。

## 【 0 0 2 1 】

(E) 前記共通コンタクト部は、前記不純物拡散層の端部に隣接して設けることができる。さらに、前記共通コンタクト部は、複数配列された前記不純物拡散層に対して、該不純物拡散層の一方の側の端部と他方の側の端部とにおいて交互に設けることができる。

## 【 0 0 2 2 】

(F) 前記メモリセルアレイは、複数のブロックに分割して形成できる。この場合、前記工程 (a) の後に、前記半導体層にコンタクト用不純物拡散層が形成され、第 1 方向に隣り合うブロックの前記不純物拡散層は該コンタクト用不純物拡散層を介して接続できる。

## 【 0 0 2 3 】

(G) 前記工程 (f) において、前記第 1 マスク層は、前記共通コンタクト部が形成される領域に対応して形成できる。

## 【 0 0 2 4 】

あるいは、前記工程 (f) において、前記第 1 マスク層は、前記第 2 方向に並ぶ、複数の前記共通コンタクト部が形成される領域をカバーするように連続して形成できる。この場合、前記工程 (g) において、前記第 1 マスク層によって、複数の前記共通コンタクト部が形成される領域を含むように連続する導電層が形成される。さらに、前記工程 (h) で、該導電層を前記第 1 導電層とともにパターンニングすることで、前記ワードゲートとともに前記コンタクト用導電層が形成される。

## 【 0 0 2 5 】

## 【発明の実施の形態】

図 1 は、本発明の製造方法によって得られた、不揮発性半導体記憶装置を含む半導体集積回路装置のレイアウトを模式的に示す平面図であり、図 2 は、図 1 の A - A 線に沿った部分を模式的に示す断面図である。

## 【0026】

この半導体集積回路装置は、前述した公知の不揮発性半導体記憶装置（メモリセル）100が、複数の行および列に格子状に配列されてメモリセルアレイを構成している。

## 【0027】

## （デバイスの構造）

まず、図 1 を参照しながら、半導体集積回路装置のレイアウトについて説明する。

## 【0028】

図 1 においては、第 1 のブロック B 1 と、これに隣接する第 2 のブロック B 2 とを示している。第 1 のブロック B 1 と第 2 のブロック B 2 とは、行方向（X 方向）に延びる素子分離領域 300 によって分離されている。各ブロック B 1、B 2 においては、行方向（X 方向、第 2 方向）に伸びる複数のワード線 50（WL）と、列方向（Y 方向、第 1 方向）に伸びる複数のビット線 60（BL）とが設けられている。ワード線 50 は、ワードゲート 14 に接続して設けられ、ビット線 60 は不純物拡散層 16、18 によって構成されている。

## 【0029】

第 1 および第 2 コントロールゲート 20、30 は、それぞれ、列方向に、すなわち、ワードゲート 14 の側面に沿って伸びる連続した導電層 40 から構成されている。本実施の形態では、各不純物拡散層 16、18 を囲むように、第 1、第 2 コントロールゲート 20、30 を構成する導電層 40 が形成されている。第 1、第 2 コントロールゲート 20、30 の一方の端部は連続し、他方の端部は、1 つの共通コンタクト部 200 に接続されている。したがって、各第 1、第 2 コントロールゲート 20、30 は、メモリセルのコントロールゲートの機能と、列方向に配列された各コントロールゲートを接続する配線としての機能を有する。

## 【 0 0 3 0 】

単一のメモリセル 1 0 0 は、1 つのワードゲート 1 4 と、このワードゲート 1 4 の両側にある第 1、第 2 コントロールゲート 2 0、3 0 と、これらのコントロールゲート 2 0、3 0 の外側の半導体基板 1 0 内にある不純物拡散層 1 6、1 8 とを有する。そして、不純物拡散層 1 6、1 8 は、それぞれ隣り合うメモリセル 1 0 0 によって共有される。

## 【 0 0 3 1 】

列方向に隣接するブロック B 1 および B 2 において、不純物拡散層 1 6 は、共通コンタクト部 2 0 0 を有さない側で、半導体基板内に形成されたコンタクト用不純物拡散層 4 0 0 によって接続されている。このコンタクト用不純物拡散層 4 0 0 上には、ビット線 6 0 とのコンタクト 2 5 0 が形成される。同様に、列方向に隣接する不純物拡散層 1 8 は、図示しないコンタクト用不純物拡散層によって接続されている。

## 【 0 0 3 2 】

次に、図 2 を参照しながら、半導体集積回路装置の断面構造について説明する。

## 【 0 0 3 3 】

メモリセル 1 0 0 は、半導体基板 1 0 の主面上に第 1 ゲート絶縁層 1 2 を介して形成されたワードゲート 1 4 と、半導体基板 1 0 内に形成された、ソース領域またはドレイン領域を構成する不純物拡散層 1 6、1 8 と、ワードゲート 1 4 の両側に沿ってそれぞれ形成された、サイドウォール状の第 1 および第 2 のコントロールゲート 2 0、3 0 とを有する。この例では、半導体基板 1 0 は、N 型の第 1 ウェル 1 0 a と、この第 1 ウェル 1 0 a 内に形成された P 型の第 2 ウェル 1 0 b とを有する。第 1 ウェル 1 0 a は、第 2 ウェル 1 0 b を半導体基板 1 0 の他の領域から電気的に分離する機能を有する。

## 【 0 0 3 4 】

第 1 コントロールゲート 2 0 は、半導体基板 1 0 の第 2 ウェル 1 0 b に対して第 2 ゲート絶縁層 2 2 を介して配置され、かつ、ワードゲート 1 4 の一方の側面に対してサイド絶縁層 2 4 を介して配置されている。同様に、第 2 コントロール

ゲート30は、半導体基板10の第2ウェル10bに対して第2ゲート絶縁層22を介して配置され、かつ、ワードゲート14の他方の側面に対してサイド絶縁層24を介して配置されている。そして、第2ゲート絶縁層22およびサイド絶縁層24は、第1酸化シリコン層22a、窒化シリコン層22bおよび第2酸化シリコン層22cから構成されている。第2ゲート絶縁層22は、電荷の蓄積領域として機能する。そして、第1酸化シリコン層22aは、主としてキャリア（たとえば電子）が通過するトンネル膜として機能し、窒化シリコン層22bは、主としてキャリアをトラップする電荷蓄積層として機能する。

## 【0035】

さらに、ワードゲート14の両サイドに形成されたサイド絶縁層24、24は、ワードゲート14と、コントロールゲート20、30とをそれぞれ電氣的に分離する機能を有する。そのため、サイド絶縁層24はかかる機能を有していれば、その構造は特に限定されない。この例では、サイド絶縁層24と第2ゲート絶縁層22とは、同じ成膜工程で形成され、同じ層構造を有する。さらに、サイド絶縁層24は、その上端が半導体基板10に対してコントロールゲート20、30より上に位置するように形成されている。そして、隣り合うメモリセル100において、隣接する第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成されている。この埋め込み絶縁層70は、少なくともコントロールゲート20、30が露出しないようにこれを覆っている。

## 【0036】

共通コンタクト部200は、コントロールゲート20、30に電圧を印加させるためのものであり、素子分離領域300上に形成された絶縁層210、導電層220およびキャップ層230から構成されている。絶縁層210は、第2ゲート絶縁層22およびサイド絶縁層24と同じ工程で形成され、第1酸化シリコン層22a、窒化シリコン層22bおよび第2酸化シリコン層22cの積層体から構成されている。導電層220は、第1、第2コントロールゲート20、30と同一工程で形成される。そして、導電層220は、コントロールゲート20、30と連続しており、かつこれらと同じ材質を有する。さらに、キャップ層230

は、たとえば窒化シリコン層などの絶縁層から構成されている。キャップ層230は、コントロールゲート20、30および導電層220のパターニングにおいて、マスク層（第2マスク層）として機能する。

## 【0037】

メモリセル100および共通コンタクト部200などが形成された半導体基板10上には、層間絶縁層72が形成されている。そして、層間絶縁層72には、コンタクト部200の導電層220に到達するコンタクトホール内に導電層82が充填され、この導電層82は層間絶縁層72上に形成された配線層80と接続されている。

## 【0038】

この例の半導体集積回路装置によれば、サイドウォール状のコントロールゲート20、30は、1組ごとに、コントロールゲート20、30と連続したパッド状の共通コンタクト部200と接続されているので、コントロールゲートとの電気的接続を確実にとることができる。すなわち、本発明のコントロールゲートは、サイドウォール状の形状を有し、その幅は通常 $0.1\mu\text{m}$ より小さく、したがって、このようなコントロールゲートとの電気的接続を確保することは重要な課題となる。この例の半導体集積回路装置では、コントロールゲートとの電気的コンタクトを上記の共通コンタクト部によって必要最小限の面積で確保できる。

## 【0039】

（半導体集積回路装置の製造方法）

次に、図3～図14を参照しながら、本実施の形態に係る半導体集積回路装置の製造方法について説明する。各断面図は、図1のA-A線に沿った部分に対応する。図3～図14において、図1で示す部分と実質的に同じ部分には同じ符号を付し、重複する記載は省略する。

## 【0040】

(1) 図3および図4に示すように、まず、半導体基板10の表面に、LOCOS法あるいはトレンチアイソレーション法などによって素子分離領域300を形成する。ついで、深いN型の第1ウエル10aおよび第1ウエル10aより浅いP型の第2ウエル10bを形成する。ついで、ビット線60のためのコンタク



ト 210 (図 1 参照) を形成するためのコンタクト用不純物拡散層 400 を半導体基板 10 内に形成する。

#### 【0041】

ついで、半導体基板 10 の表面に第 1 ゲート絶縁層 12、ドーフトポリシリコンからなるワードゲート層 (第 1 導電層) 140 および後の CMP 工程におけるストッパ層 S100 を形成する。ストッパ層 S100 としては、たとえば窒化シリコン層などを用いることができる。

#### 【0042】

ワードゲート層 140 およびストッパ層 S100 の積層体は、図 4 に示すように、開口部 160、180 を除いて半導体基板 10 上に全面的に形成される。開口部 160、180 は、後のイオン注入によって不純物拡散層 16、18 が形成される領域にほぼ対応している。図 4 における A-A 線は、図 1 の A-A 線に対応している。そして、後の工程で、開口部 160、180 の縁部に沿ってサイド絶縁層とコントロールゲートとが形成される。

#### 【0043】

(2) 図 5 に示すように、ワードゲート層 140 およびストッパ層 S100 の積層体が形成された半導体基板 10 上に、第 1 酸化シリコン層 22a、窒化シリコン層 22b および第 2 酸化シリコン層 22c を全面的に順次堆積させる。第 1 酸化シリコン層 22a は、たとえば熱酸化法を用いて成膜することができる。窒化シリコン層 22b は、たとえばアンモニア雰囲気においてアニール処理した後、CVD 法などによって成膜することができる。第 2 酸化シリコン層 22c は、CVD 法、たとえば高温酸化法を用いて成膜することができる。これらの各層を成膜した後アニール処理を行い、各層を緻密化することが好ましい。

#### 【0044】

これらの第 1 酸化シリコン層 22a、窒化シリコン層 22b および第 2 酸化シリコン層 22c は、後のパターニングによって、図 2 に示すように、コントロールゲート 20、30 のための第 2 ゲート絶縁層 22 およびサイド絶縁層 24、ならびに共通コンタクト部 200 の絶縁層 210 を構成する。

#### 【0045】

(3) 図6に示すように、ドーフトポリシリコン層(第2導電層)20・a(30a)を、第2酸化シリコン層22C上に全面的に形成する。ドーフトポリシリコン層20a(30a)は、後にパターニングされて、コントロールゲート20, 30を構成する導電層40(図1参照)および共通コンタクト部200の導電層220(図2参照)を構成する。

## 【0046】

ついで、共通コンタクト部が形成される領域(以下、「共通コンタクト部の形成領域」という)200aに、レジスト層(第1マスク層)R100を形成する。この実施の形態では、このレジスト層R100は、図7に示すように、共通コンタクト部の形成領域200aに対応した位置に設けられている。

## 【0047】

(4) 図8に示すように、ドーフトポリシリコン層20aを異方性エッチングによって全面的にエッチングすることにより、第1および第2コントロールゲート20, 30および共通コンタクト部のための導電層220aを形成する。すなわち、この工程では、ワードゲート層140の開口部160, 180(図4参照)の側面に沿って、サイド絶縁層24を介在させた状態で、第2ゲート絶縁層22上にサイドウォール状のコントロールゲート20, 30が形成される。そして、これと同時に、レジスト層R100でマスクされた部分には、コントロールゲート20, 30と連続する、共通コンタクト部のための導電層220aが形成される。ついで、レジスト層R100は、溶解あるいはアッシングなどの方法で除去される。

## 【0048】

(5) 図9に示すように、不純物、たとえばN型不純物を全面的にイオン注入することにより、第2ウェル10b内に、ソース領域またはドレイン領域を構成する不純物拡散層16, 18を形成する。なお、必要に応じて、不純物拡散層16, 18を形成する領域上の第2絶縁層を除去することができる。そして、不純物拡散層16, 18の露出部分にチタン、コバルトなどのシリサイド層を形成することができる。

## 【0049】

(6) 図10に示すように、半導体基板10上に第1, 第2コントロールゲート20, 30および導電層220aなどが形成された構造体上に、酸化シリコン、窒化酸化シリコンなどの絶縁層70aを全面的に形成する。

## 【0050】

(7) 図11に示すように、絶縁層70aをCMP法を用いて、ストッパ層S100が露出するまで平坦化を行う。このとき、ワードゲート層140およびストッパ層S100の側面に形成されたサイド絶縁層24は、コントロールゲート20, 30より上に突出する状態に残される。そして、コントロールゲート20, 30をはさんで対向するサイド絶縁層24, 24間には埋込み絶縁層70が形成される。この工程によって、第1, 第2コントロールゲート20, 30が埋込み絶縁層70によって完全に覆われるとともに、共通コンタクト部を構成する導電層220の少なくとも一部が露出する。

## 【0051】

(8) 図12に示すように、埋め込み絶縁層70およびストッパ層S100が形成された構造体の表面全体に窒化シリコン層などの絶縁層230aを形成する。ついで、図13に示すように、共通コンタクト部の形成領域200aにレジスト層R200を形成し、これをマスクとして絶縁層230aをパターニングすることで、キャップ層(第2マスク層)230を形成する。ついで、レジスト層R200を公知の方法で除去する。

## 【0052】

(9) 図14に示すように、ドーフトポリシリコン層、金属層あるいはシリサイドなどの合金層からなる導電層を形成した後、レジスト層R300を形成し、前記導電層をパターニングすることにより、ワード線50を形成する。さらに、レジスト層R300あるいはワード線50が金属層の場合にはこれをマスクとして、ドーフトポリシリコンからなるワードゲート層140をパターニングすることにより、アレイ状に配列したリードゲート14を形成する。

## 【0053】

続いて、図2に示すように、公知の方法で層間絶縁層72を形成した後、共通コンタクト部200と接続された導電層82および配線層80を形成する。

## 【0054】

以上の工程により、図1に示す半導体集積回路装置を製造することができる。

## 【0055】

この製造方法によれば、特に工程数を増加させることなく、サイドウォール状のコントロールゲート20、30とともに共通コンタクト部200を形成できる。そして、共通コンタクト部200は、少なくとも不純物拡散層16、18の幅に近いサイズを有することができ、十分に大きなコンタクト面積を確保できる。したがって、本発明では、十分なコンタクト領域をとりにくいサイドウォール状のコントロールゲート20、30であっても、共通コンタクト部200を介して確実な電氣的接続をとることができる。

## 【0056】

## (変形例)

次に、上記実施の形態の変形例について、図15を参照して説明する。図15は、上記実施の形態の工程(3)における平面図を示し、図7に相当する。図15において図7に示す部分と実質的に同じ部分には同じ符号を付して、その説明を省略する。

## 【0057】

図7に示す例においては、共通コンタクト部の形成領域200aに対応する部分のみにレジスト層R100を形成している。これに対して図15に示す例においては、行方向に複数存在する共通コンタクト部の形成領域200a上を覆うように、連続するレジスト層(第1マスク層)R400を用いている。このような連続するレジスト層R400を用いることで、図7に示す分離されたレジスト層R100を用いた場合に比べて、リソグラフィーにおける光の近接効果の影響を緩和でき、より正確なパターニングができる点で有利である。

## 【0058】

この例の場合、共通コンタクト部の形成領域200a以外の部分にもドーフトポリシリコン層20a(30a)が残るが、不要な部分は上記実施の形態の工程(9)でワードゲート14をパターニングする際に、キャップ層(第2マスク層)230をマスクとして同時に除去できる。

【 0 0 5 9 】

以上、本発明の実施の形態について述べたが、本発明はこれに限定されず、本発明の発明の要旨の範囲内で種々の態様をとりうる。たとえば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI基板の半導体層を用いてもよい。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる半導体集積回路装置のレイアウトを模式的に示す平面図である。

【図 2】

図 1 の A - A 線に沿った部分を模式的に示す断面図である。

【図 3】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 4】

図 3 に示す半導体集積回路装置の製造方法の一工程を示す平面図である。

【図 5】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 6】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 7】

図 6 に示す半導体集積回路装置の製造方法の一工程を示す平面図である。

【図 8】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 9】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図で

ある。

【図 1 0】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 1 1】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 1 2】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 1 3】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 1 4】

図 1 および図 2 に示す半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 1 5】

本発明にかかる半導体集積回路装置の製造方法の一工程の変形例を示す平面図である。

【図 1 6】

公知の MONOS 型メモリセルを示す断面図である。

【符号の説明】

1 0 半導体基板

1 0 a, 1 0 b ウェル

1 2 第 1 ゲート絶縁層

1 4 ワードゲート

1 6, 1 8 不純物拡散層

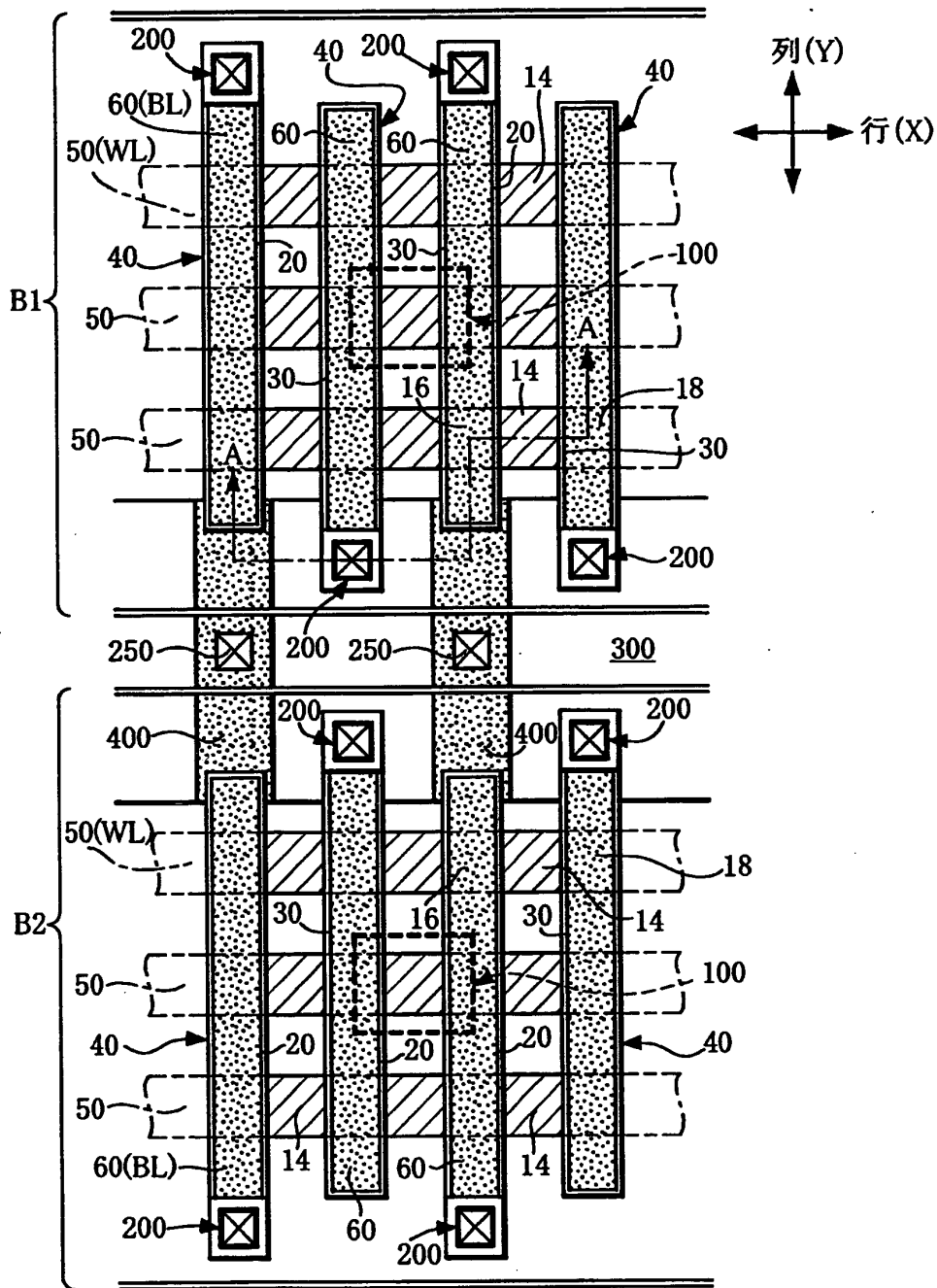
2 0 第 1 コントロールゲート

2 0 a ドープドポリシリコン層

22 第2ゲート絶縁層  
24 サイド絶縁層  
30 第2コントロールゲート  
30a ドープドポリシリコン層  
50 ワード線  
60 ビット線  
70 埋込み絶縁層  
70a 絶縁層  
72 層間絶縁層  
80 配線層  
100 メモリセル  
140 ドープドポリシリコン層  
160, 180 開口部  
200 共通コンタクト部  
200a 共通コンタクト部の形成領域  
210 絶縁層  
220, 220a 導電層  
230 キャップ層  
300 素子分離領域  
400 コンタクト用不純物拡散層  
S100 ストップア層  
R100、R200、R300、R400 レジスト層

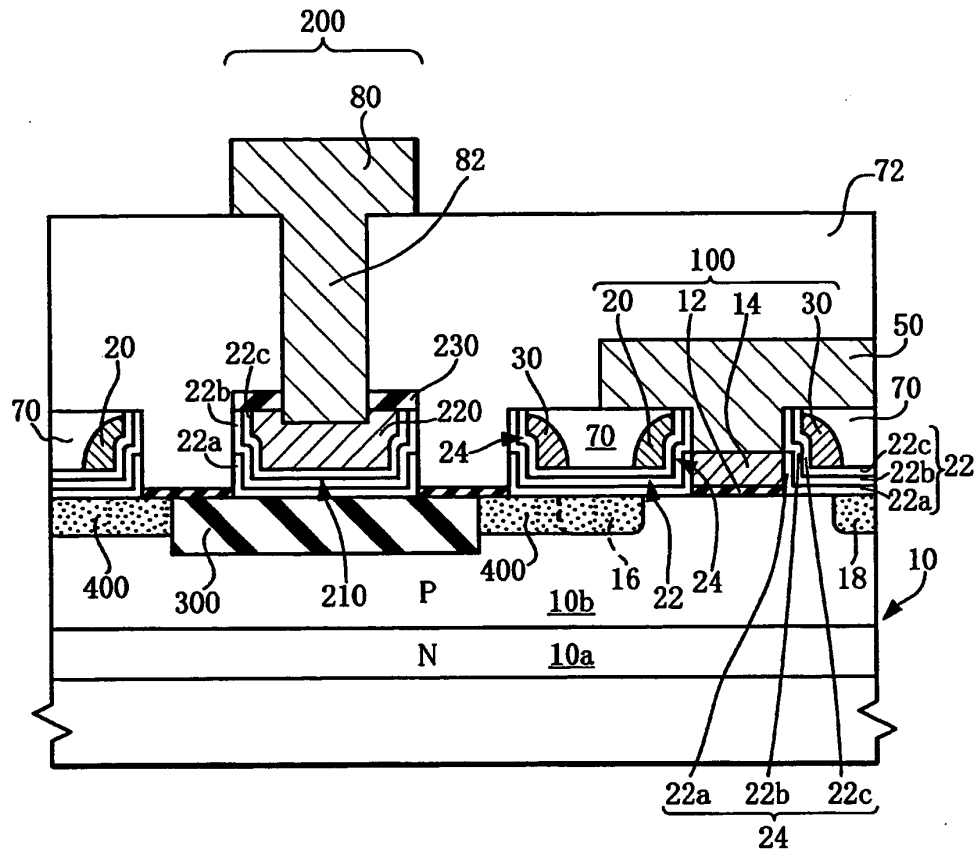
【書類名】 図面

【図 1】

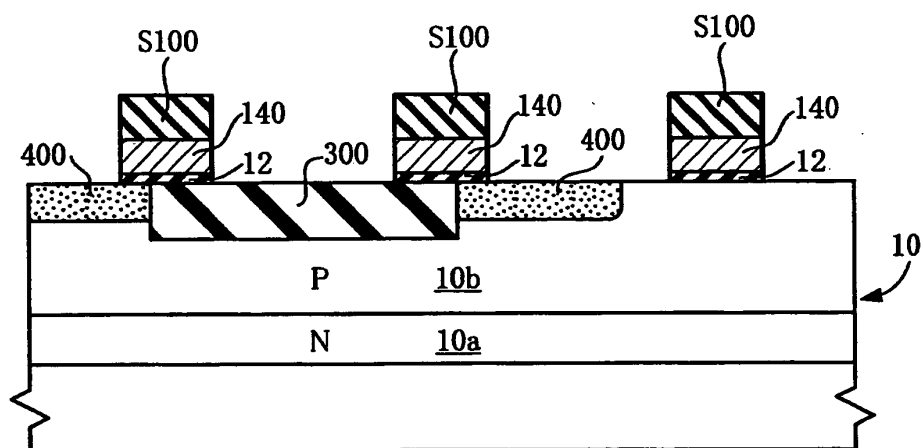




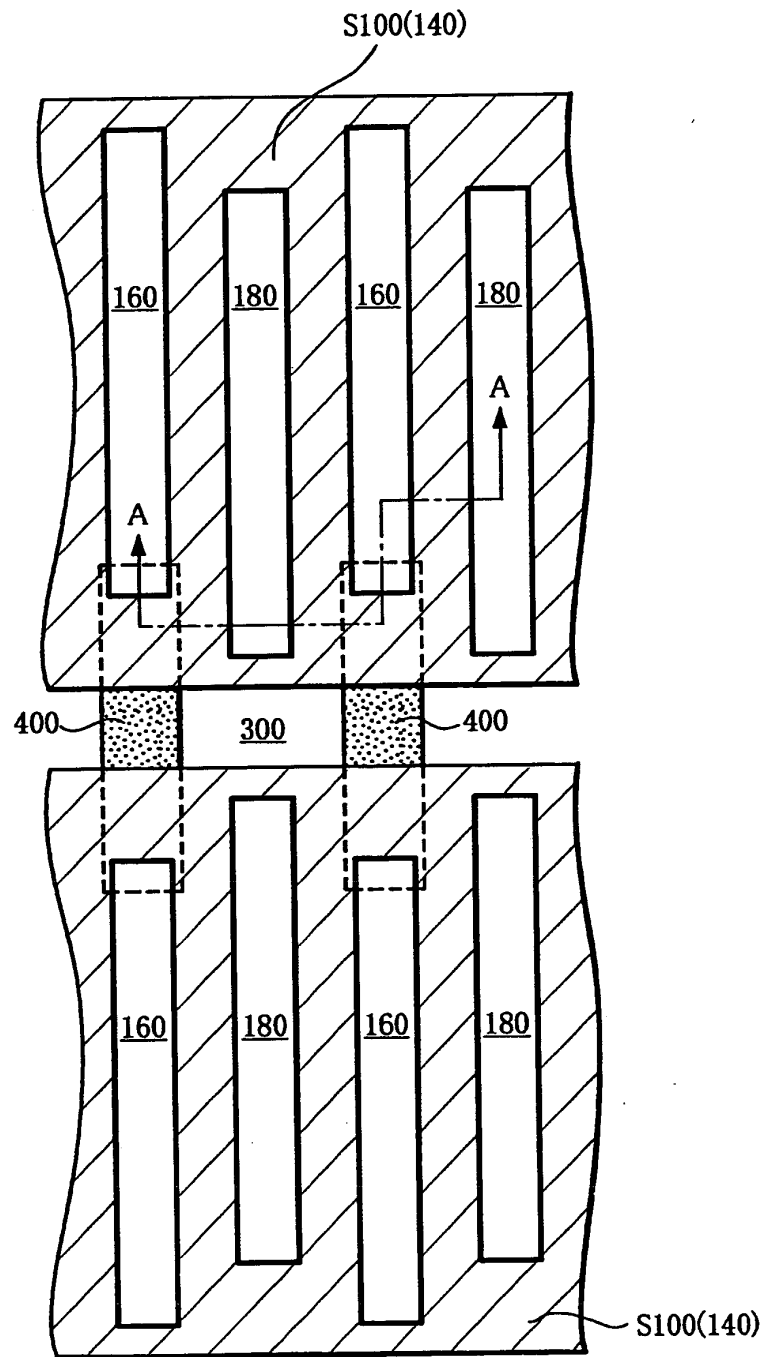
【図 2】



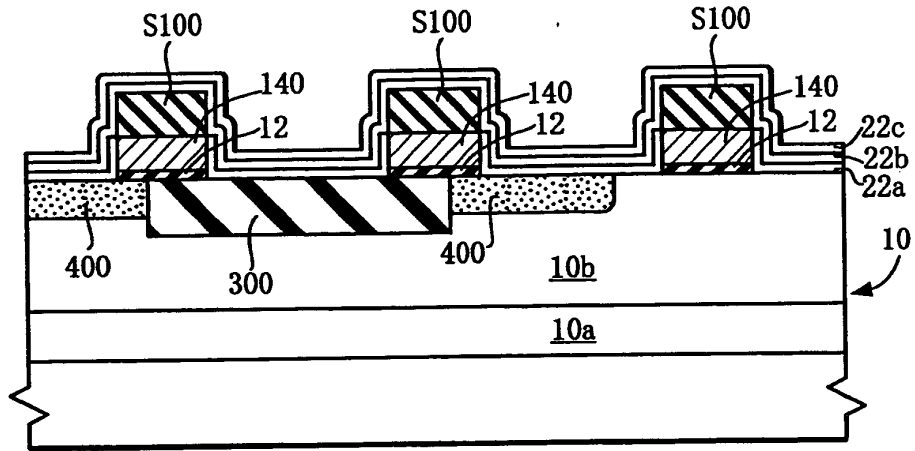
【図 3】



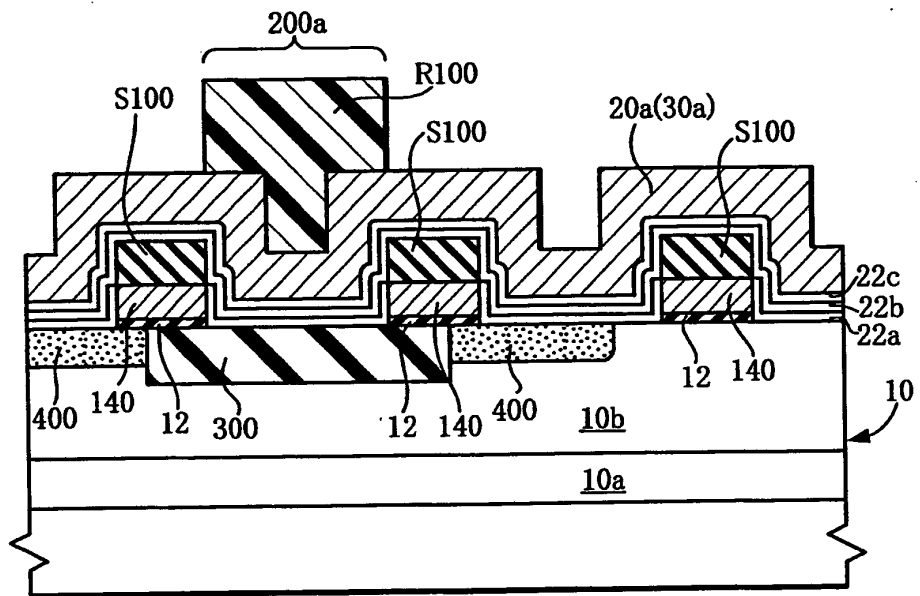
【図4】



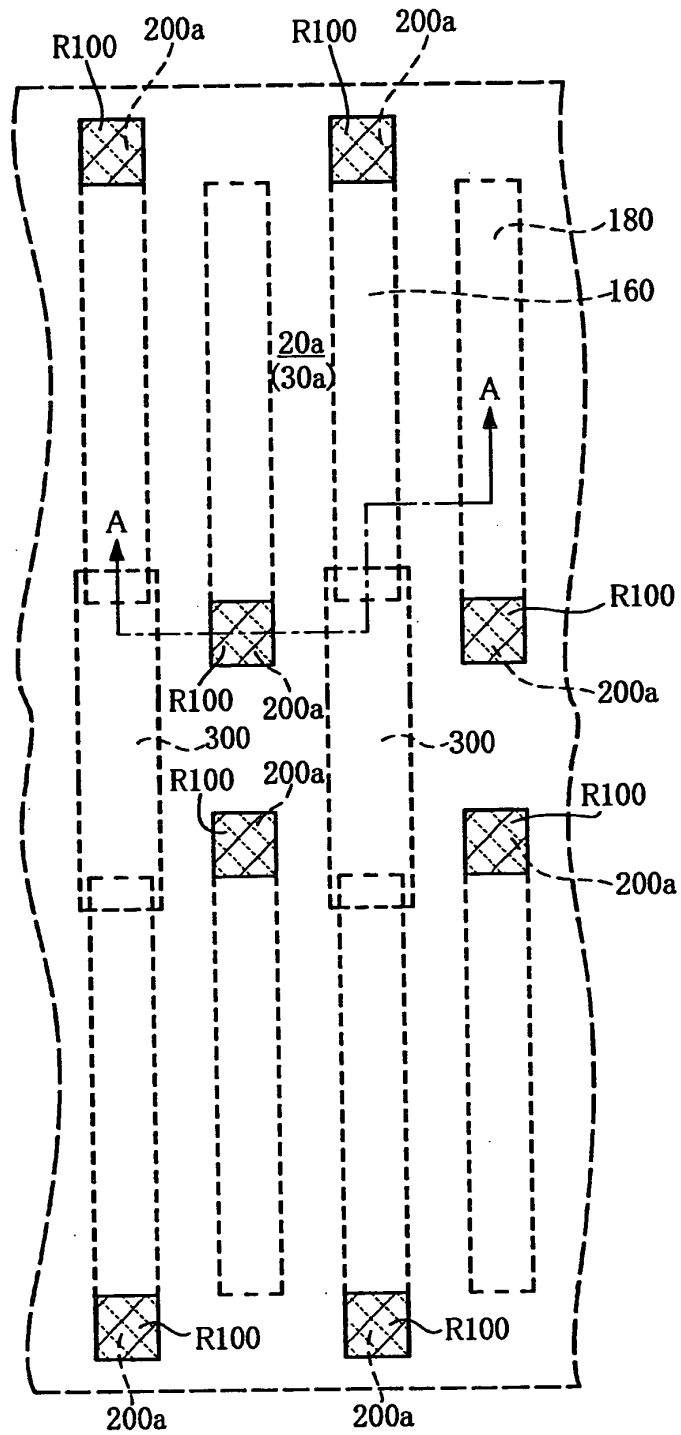
【図5】



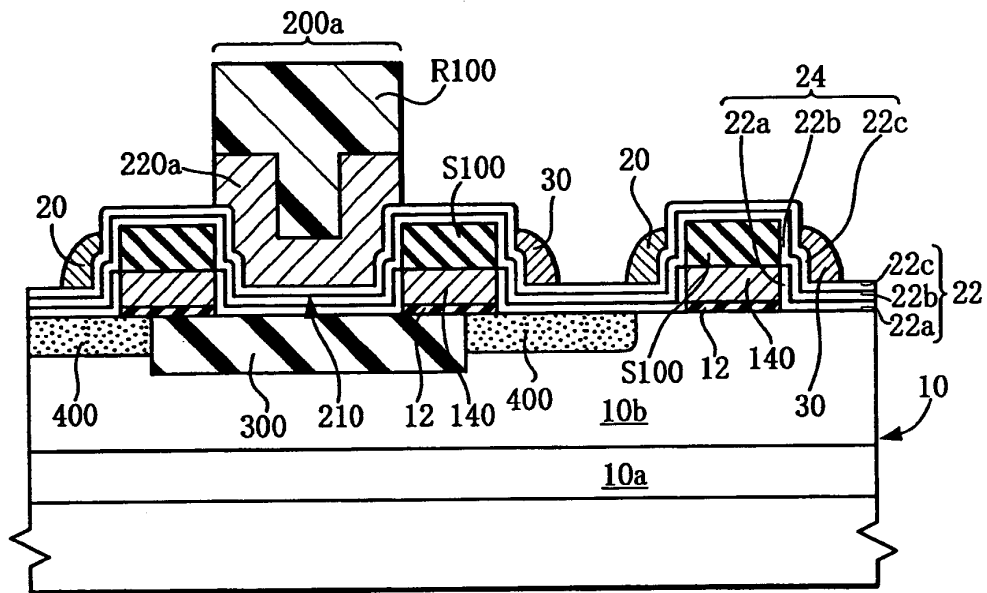
【図6】



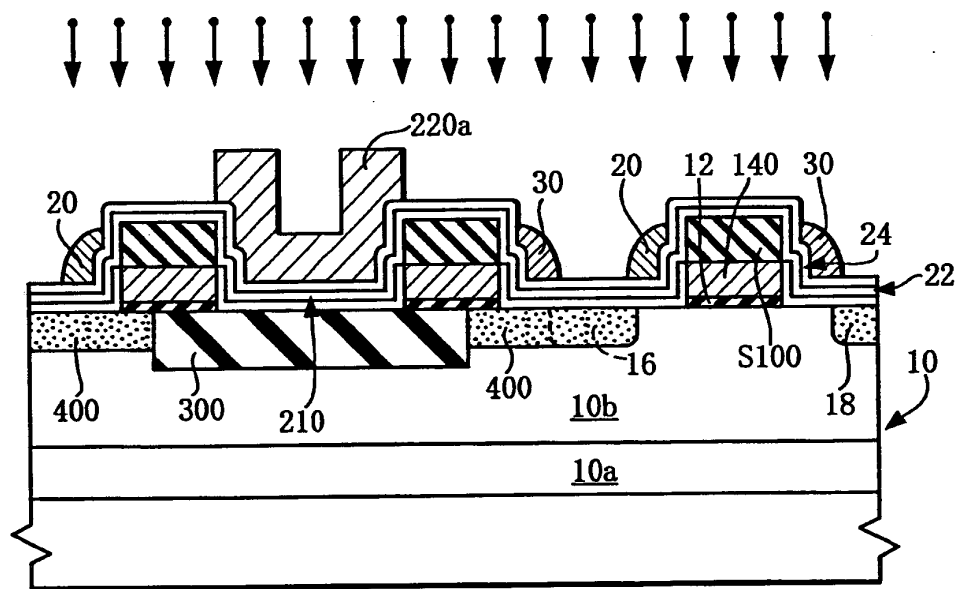
【図7】



【図 8】

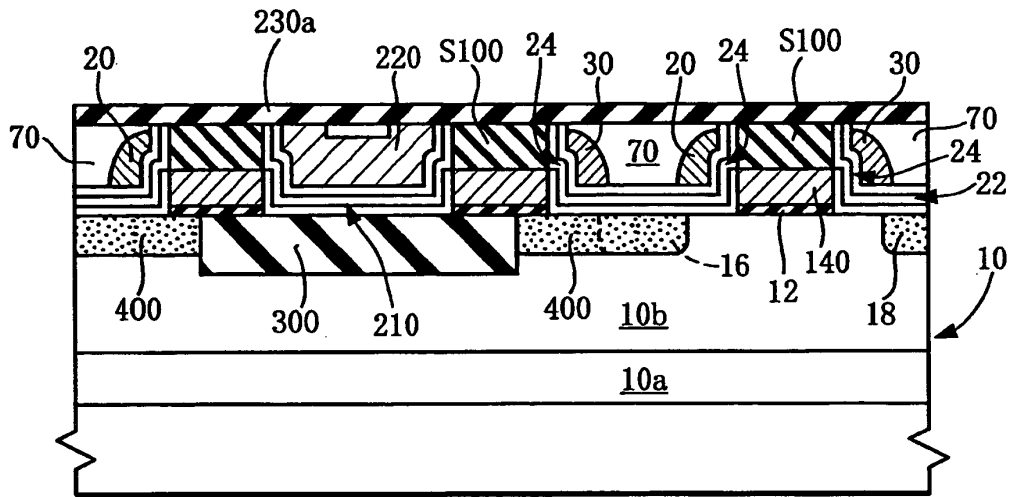


【図 9】

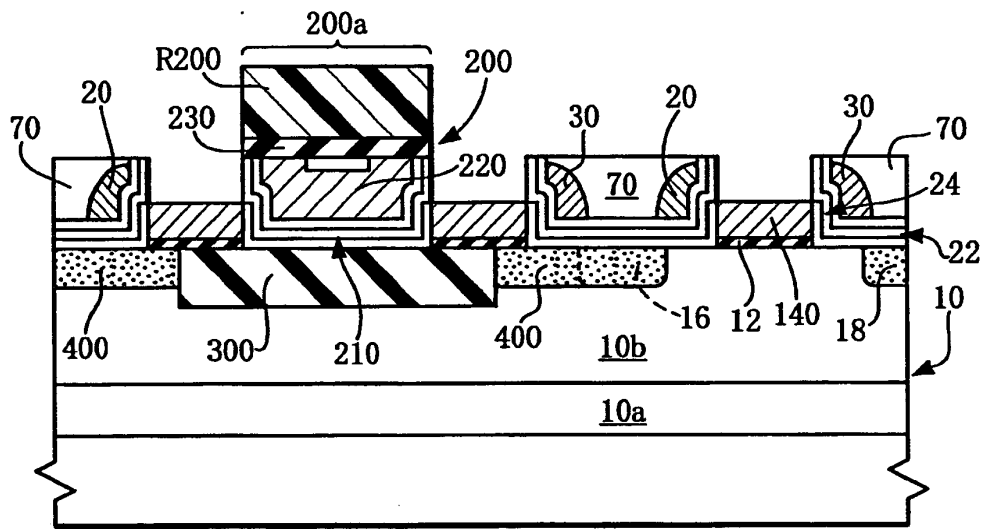




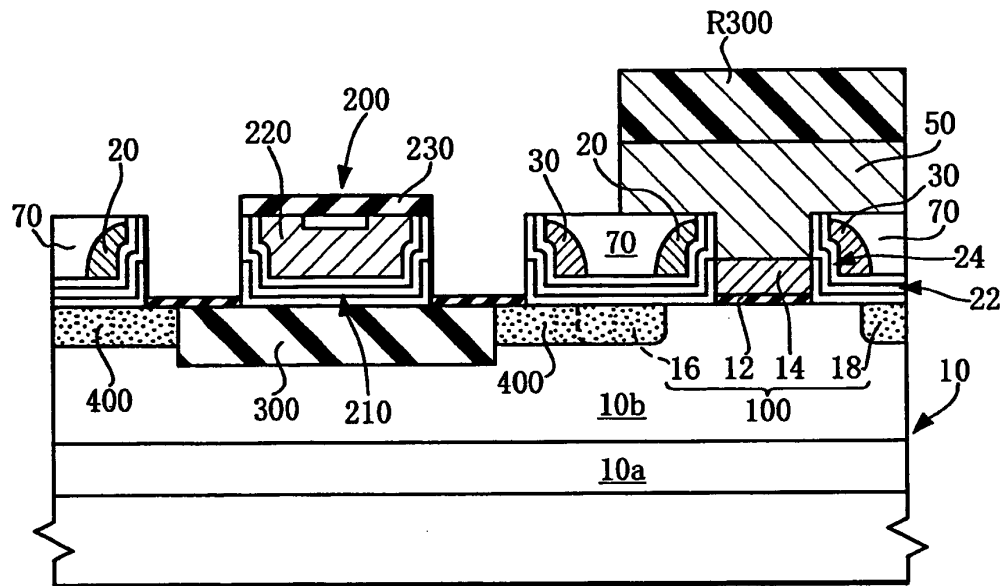
【図 12】



【図 13】

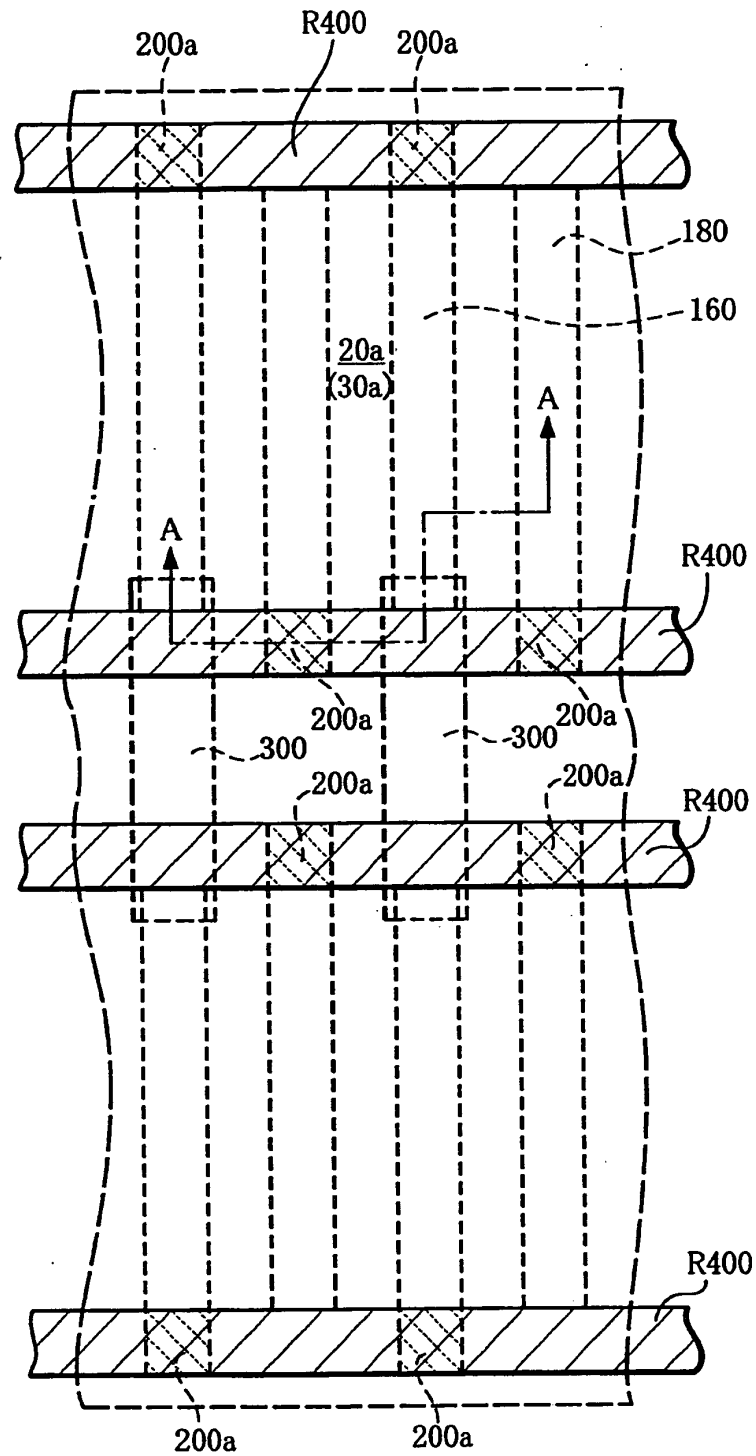


【図14】

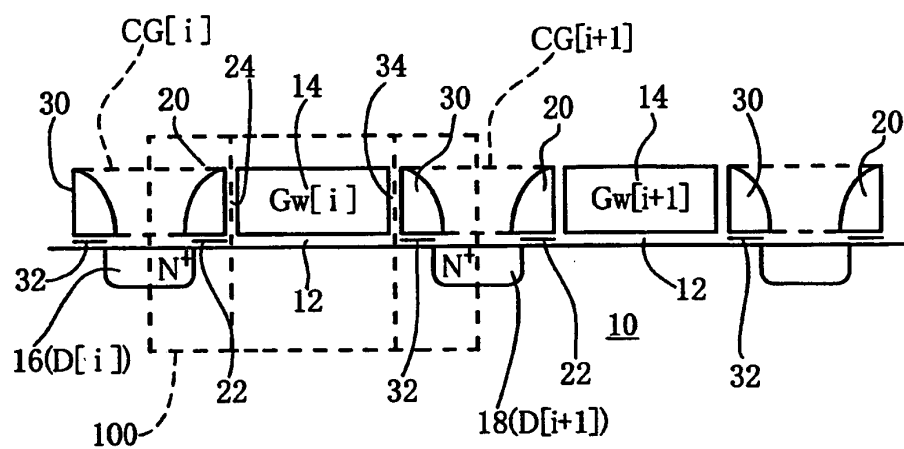




【図15】



【図 16】



【書類名】 要約書

【要約】

【課題】 MONOS型の不揮発性半導体記憶装置を含む半導体集積回路装置の製造方法を提供する。

【解決手段】 不揮発性半導体記憶装置を有する半導体集積回路装置の製造方法は、以下の工程（a）ないし（k）を含む。（a）素子分離領域300を形成する工程、（b）第1ゲート絶縁層12、およびワードゲートのための第1導電層を有し、第1方向に延びる複数の開口部を有する積層体を形成する工程、（c）第2ゲート絶縁層22を形成する工程、（d）第1導電層の両サイドにサイド絶縁層24を形成する工程、（e）第2導電層を全面的に形成する工程、（f）少なくとも共通コンタクト部が形成される領域に第1マスク層を形成する工程、（g）異方性エッチングによって第2導電層をエッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成し、かつ、少なくとも共通コンタクト部が形成される領域にコンタクト用導電層を形成する工程、（h）ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、（i）コントロールゲートを覆う埋込み絶縁層70を形成する工程、（j）共通コンタクト部が形成される領域に第2マスク層230を形成する工程、および（k）前記ワードゲートのための第1導電層をパターニングする工程。

【選択図】 図14

【書類名】 出願人名義変更届

【整理番号】 EP-0275401

【提出日】 平成13年 8月 3日

【あて先】 特許庁長官殿

【事件の表示】

    【出願番号】 特願2001- 21931

【承継人】

    【識別番号】 598165507

    【氏名又は名称】 ハイロー エルエスアイ デザイン アンド デバイス  
テクノロジー インコーポレイテッド

【承継人代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【承継人代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【承継人代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大渕 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

    【納付金額】 4,200円

【提出物件の目録】

【物件名】 譲渡証書 1

【援用の表示】 同日付提出の出願人名義変更届（特願2001-21930）

【包括委任状番号】 0110760

【プルーフの要否】 要

## 認定・付加情報

特許出願の番号	特願2001-021931
受付番号	50101149667
書類名	出願人名義変更届
担当官	藤居 建次 1409
作成日	平成13年10月12日

### <認定情報・付加情報>

#### 【承継人】

【識別番号】	598165507
【住所又は居所】	アメリカ合衆国 12590 ニューヨーク州、 ワッピンガーズ フォールズ、メイヤーズ コー ナーズ ロード169
【氏名又は名称】	ヘイロー エルエスアイ デザイン アンド デ バイステクノロジー インコーポレイテッド

#### 【承継人代理人】

【識別番号】	申請人
【住所又は居所】	100090479
【氏名又は名称】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

#### 【承継人代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

#### 【承継人代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	大瀧 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社

出 願 人 履 歴 情 報

識別番号 [598165507]

1. 変更年月日 1998年12月 1日

[変更理由] 新規登録

住 所 アメリカ合衆国, ニューヨーク州 12590, ワッピンジャ  
ーズ フォールズ, オールド ホープウェル ロード 140  
氏 名 ヘイロー エルエスアイ デザイン アンド デバイステクノ  
ロジー インコーポレイテッド

2. 変更年月日 2001年 7月16日

[変更理由] 住所変更

住 所 アメリカ合衆国 12590 ニューヨーク州、ワッピンガー  
ズ フォールズ、メイヤーズ コーナーズ ロード169  
氏 名 ヘイロー エルエスアイ デザイン アンド デバイステクノ  
ロジー インコーポレイテッド